

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-112336

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

H03L 7/095
H03L 7/08

(21)Application number : 09-267253

(71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

(22)Date of filing : 30.09.1997

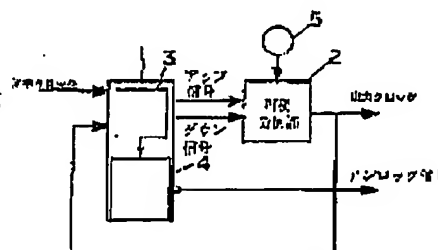
(72)Inventor : IHIRA YASUHIRO
AOYAMA KEIICHI

(54) DIGITAL PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital PLL circuit where a system operating by using an output clock surely and stably operates.

SOLUTION: A phase comparison part 1 is provided with a comparator 3 detecting the rising phase difference of a reference clock and an output clock and outputting an up signal or a down signal when the detected phase difference becomes out of a prescribed permission range and an unlocking detector 4 outputting an unlocking signal showing that the phase of the output clock is in an unlocking state when the up signals or the down signals are continuously outputted twice. Since the phase synchronous state of the output clock with the reference clock is recognized in the system of a post-stage by the unlocking signal, the unlocking signal is changed from an L level to an H level and the system of the post-stage can be started. Then, the system operating by using the output clock can surely and stably operate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-112336

(43) 公開日 平成11年(1999) 4月23日

(51) IntCl.⁶

H03L 7/095
7/08

識別記号

F I

H03L 7/08

B
L

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平9-267253

(22) 出願日 平成9年(1997) 9月30日

(71) 出願人 000005832

松下電工株式会社
大阪府門真市大字門真1048番地

(72) 発明者 井平 靖久

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 青山 啓一

大阪府門真市大字門真1048番地松下電工株式会社内

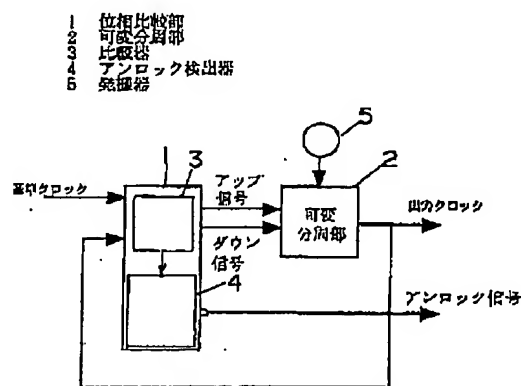
(74) 代理人 弁理士 西川 憲清 (外1名)

(54) 発明の名称 デジタルPLL回路

(57) 【要約】

【課題】 出力クロックを用いて動作するシステムが確実に安定動作し得るデジタルPLL回路を提供する。

【解決手段】 位相比較部1は、基準クロックと出力クロックの立ち上がりの位相差を検出するとともに検出した位相差が所定の許容範囲から外れた場合にアップ信号又はダウン信号を出力する比較器3と、比較器3からのアップ信号又はダウン信号が連続して2回出力された場合に出力クロックの位相がアンロック状態であることを示すアンロック信号を出力するアンロック検出器4とを具備する。而して、出力クロックの基準クロックとの位相同期状態がアンロック信号によって後段のシステムで認識されるので、アンロック信号がLレベルからHレベルに変化すると直ちに後段のシステムを立ち上げることが可能となり、出力クロックを用いて動作するシステムが確実に安定動作し得る。



(2)

特開平11-112336

1

【特許請求の範囲】

【請求項1】 外部から入力される基準クロックと外部へ出力する出力クロックの位相を比較する位相比較部と、基準クロックの周波数よりも高い周波数の基本クロックを位相比較部における比較結果に応じて設定される分周比で分周する可変分周部とを備え、出力クロックの位相を基準クロックの位相に略一致させるデジタルPLL回路であって、基準クロックと出力クロックの立ち上がりの位相差を検出するとともに検出した位相差が所定の許容範囲から外れた場合にアップ信号又はダウン信号を出力する比較器と、比較器からのアップ信号又はダウン信号が所定の条件で出力された場合に出力クロックの位相がアンロック状態であることを示すアンロック信号を出力するアンロック検出器とを位相比較部に具備し、可変分周部は、通常出力クロックの周波数を基準クロックの周波数に略一致させる第1の分周比に設定されるとともにアップ信号が入力されている場合には第1の分周比よりも小さい第2の分周比に設定され且つダウン信号が入力されている場合には第1の分周比よりも大きい第3の分周比に設定されて成ることを特徴とするデジタルPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタル信号処理によるデータ伝送システムなどに利用されるデジタルPLL（フェーズ・ロック・ループ）回路に関するものである。

【0002】

【従来の技術】 図7は従来のデジタルPLL回路の一例を示すブロック図である。この従来例は、外部から入力される基準クロックと外部へ出力する出力クロックの位相を比較する位相比較部10と、発振器5から供給される基準クロックの周波数よりも高い周波数の基本クロックを位相比較部10における比較結果に応じて設定される分周比で分周する可変分周部11とを備え、出力クロックの位相を基準クロックの位相に略一致させるように動作する。

【0003】 位相比較部10は基準クロックの立ち上がりと出力クロックの立ち上りを比較し、両者の立ち上がりの差（位相差）が許容値を越えた場合に後段の可変分周部11の分周比を設定するためのアップ信号又はダウン信号を出力するものである。一方可変分周部11は上記アップ信号又はダウン信号に基づいて発振器5から供給される基本クロックを分周する分周比を変化させて出力クロックの立ち上がりのタイミングを変えることにより、出力クロックの位相を基準クロックの位相に略一致させるものである。ここで、出力クロックの位相が基準クロックの位相と略一致する（同期が取れる）までに要する時間（以下、「ロックアップ時間」と呼ぶ。）は、アナログPLL回路の場合と違って上記のようなデ

2

ィジタルPLL回路の場合には基準クロックと基本クロックを供給する発振器5の精度とから算出することができ、従って、上記ディジタルPLL回路からの出力クロックを用いて動作するシステムにおいては、出力クロックに基づいて動作する後段のシステムの制御回路やCPUなどの制御部12が少なくとも上記算出されたロックアップ時間よりも長い時間を待機した後でシステムの動作を開始するというようなことが行われる。

【0004】

【発明が解決しようとする課題】 しかしながら上記従来例では、少なくとも算出されたロックアップ時間以上の時間を待機する必要があり、システムの立ち上がり時間が遅くなる原因となる。また、算出されたロックアップ時間を経過した後に何らかの原因、例えば基準クロックが切り替わるなどの原因で基準クロックと出力クロックの位相がロックアップされずに同期が取れていない状態であっても、後段のシステムは同期が取れているものとして動作を続けてしまい、誤動作を引き起こす可能性がある。図8は途中で基準クロックが切り替わることにより、出力クロックの立ち上がりが基準クロックの立ち上がりよりも進んでしまった場合を示している。このような場合には、位相比較部10から出力されるダウン信号によって可変分周部11の分周比が通常の値（N）よりも大きい値（N+1）に設定されて出力クロックの立ち上がりが遅くされる。その結果、出力クロックの立ち上がりと基準クロックの立ち上がりとの差（位相差）が次第に減少し、両者の差が許容値内に収まったら位相比較部10からのダウン信号の出力が停止する。よって、上述のようにダウン信号が出力されている間（ロックアップ時間）は出力クロックと基準クロックの同期が取れていない（位相がロックされていない）にもかかわらず、後段のシステムでは同期が取れているものとして動作を続け、誤動作を引き起こしてしまう度がある。

【0005】 一方、アナログPLL回路の場合では、基準クロックと出力クロックの立ち上がりの時間差が許容範囲内であればロック信号、許容範囲を外れた場合にアンロック信号（負論理の信号であり、ロック状態のときにHレベル、アンロック状態のときにLレベルとなる信号）を出力し、後段のシステムにおいてはロック信号

（又はアンロック信号）を受けて動作する構成とするのが一般的である（図9（a）参照）。ところが、ディジタルPLL回路にて上記構成を採用すると、ロック状態のディジタルPLL回路の出力クロック精度が可変分周部11に基本クロックを供給する発振器5の精度に依存するため、図9（b）に示すように基準クロックと発振器5の基本クロックの精度差によって周期的にアンロック信号が出力されてしまう。そして、後段のシステムがアンロック信号受信時には動作しないように設定されていると、システムが周期的に非動作状態になるという不具合が生じてしまう。

50

(3)

特開平11-112336

3

4

【0006】本発明は上記問題に鑑みて為されたものであり、その目的とするところは、出力クロックを用いて動作するシステムが確実に安定動作し得るデジタルPLL回路を提供することにある。

【0007】

【課題を解決するための手段】本発明では、上記目的を達成するために、外部から入力される基準クロックと外部へ出力する出力クロックの位相を比較する位相比較部と、基準クロックの周波数よりも高い周波数の基本クロックを位相比較部における比較結果に応じて設定される分周比で分周する可変分周部とを備え、出力クロックの位相を基準クロックの位相に略一致させるデジタルPLL回路であって、基準クロックと出力クロックの立ち上がりの位相差を検出するとともに検出した位相差が所定の許容範囲から外れた場合にアップ信号又はダウン信号を出力する比較器と、比較器からのアップ信号又はダウン信号が所定の条件で出力された場合に出力クロックの位相がアンロック状態であることを示すアンロック信号を出力するアンロック検出器とを位相比較部に具備し、可変分周部は、通常出力クロックの周波数を基準クロックの周波数に略一致させる第1の分周比に設定されたとともにアップ信号が入力されている場合には第1の分周比よりも小さい第2の分周比に設定され且つダウン信号が入力されている場合には第1の分周比よりも大きい第3の分周比に設定されて成ることを特徴とし、アンロック信号によって後段のシステムが出力クロックのロック・アンロック状態を的確に判断することができ、出力クロックを用いて動作する後段のシステムが確実に動作し得るデジタルPLL回路が提供可能となる。

【0008】

【発明の実施の形態】図1に本発明の一実施形態のブロック図を示す。本実施形態のデジタルPLL回路は、外部から入力される基準クロックと外部へ出力する出力クロックの位相を比較する位相比較部1と、基準クロックの周波数よりも高い周波数の基本クロックを位相比較部1における比較結果に応じて設定される分周比で分周する可変分周部2とを備える。

【0009】また、位相比較部1は基準クロックと出力クロックの立ち上がりの位相差を検出するとともに検出した位相差が所定の許容範囲から外れた場合にアップ信号又はダウン信号を出力する比較器3と、比較器3からのアップ信号又はダウン信号が所定の条件で出力された場合に出力クロックの位相がアンロック状態であることを示すアンロック信号を出力するアンロック検出器4とを具備している。

【0010】比較器3は、出力クロックの立ち上がりの位相が基準クロックの立ち上がりの位相よりも所定の許容値 X_1 以上に遅れた場合に、出力クロックの立ち上がりの位相を進めるために可変分周部2における分周比を小さくする信号（アップ信号）を出力し、反対に出力ク

ロックの立ち上がりの位相が基準クロックの立ち上がりの位相よりも所定の許容値 X_1 以上に進んだ場合に、出力クロックの立ち上がりの位相を遅らせるために可変分周部2における分周比を大きくする信号（ダウン信号）を出力する。

【0011】一方、可変分周部2は通常、位相比較部1からアップ信号又はダウン信号の何れも出力されていない場合に出力クロックの周波数を基準クロックの周波数に略一致させる第1の分周比（例えばN分周、Nは整数）に設定されたとともに、アップ信号が入力されると1周期だけ第1の分周比よりも小さい第2の分周比（例えば、 $N-1$ 分周）に設定され、且つダウン信号が入力されると1周期だけ第1の分周比よりも大きい第3の分周比（例えば、 $N+1$ 分周）に設定され、発振器5から供給される基本クロックを設定された第1～第3の分周比で分周して出力クロックとして後段のシステムに出力するものである。ここで、発振器5から出力される基本クロックの周波数は基準クロックの周波数よりも高い周波数としてある。

【0012】次に図2のタイムチャートを参照して本実施形態の動作を説明する。本実施形態では、外部から入力される基準クロックの1周期につき1回の位相補正を行っている。通常、出力クロックの立ち上がりの位相が基準クロックの立ち上がりの位相から許容値 $X_1 \sim X_2$ の範囲内であれば、位相比較部1からはアップ信号及びダウン信号が出力されず、可変分周部2は第1の分周比に設定されて発振器5から供給される基本クロックを第1の分周比で分周（N分周）したものが出力クロックとして出力される。

【0013】ところが時間の経過とともに基準クロックの精度と発振器5の精度の差に起因して基準クロックと出力クロックの立ち上がりの位相が徐々にずれ始める。仮に出力クロックの立ち上がりの位相が基準クロックの立ち上がりの位相よりも許容値 X_1 以上に遅れた場合には、出力クロックの立ち上がりの位相を進めるために可変分周部2における分周比を小さくする信号（アップ信号）が位相比較部1の比較器3から出力される。可変分周部2ではアップ信号が入力されることで次の基準クロックの1周期だけ分周比が第1の分周比から第1の分周比よりも小さい第2の分周比（ $N-1$ ）に変更設定される。その結果、出力クロックの立ち上がりの位相が進んで基準クロックの立ち上がりの位相との差が許容値 $X_1 \sim X_2$ の範囲内に収まり、可変分周部2の分周比が再び第1の分周比に戻される。

【0014】一方、出力クロックの立ち上がりの位相が基準クロックの立ち上がりの位相よりも許容値 X_1 以上に進んだ場合には、出力クロックの立ち上がりの位相を遅らせるために可変分周部2における分周比を大きくする信号（ダウン信号）が位相比較部1の比較器3から出力される。可変分周部2ではダウン信号が入力されるこ

50

(4)

特開平11-112336

5

とで次の基準クロックの1周期だけ分周比が第1の分周比から第1の分周比よりも大きい第3の分周比($N+1$)に変更設定される。その結果、出力クロックの立ち上がりの位相が遅れて基準クロックの立ち上がりの位相との差が許容値 $X_1 \sim X_2$ の範囲内に収まり、可変分周部2の分周比が再び第1の分周比に戻される。ここで、通常は1周期だけの位相補正で許容値 $X_1 \sim X_2$ の範囲内に収まるのであるが、仮に出力クロックの立ち上がりの位相が2回遅れて許容値 $X_1 \sim X_2$ の範囲から外れた場合には、アンロック検出器4が出力クロックが基準クロックと同期が取れていない状態(アンロック状態)であると判定してアンロック信号(負論理の信号であり、ロック状態のときにHレベル、アンロック状態のときにLレベルとなる信号)を出力する。

【0015】ここでアンロック検出器4の動作を図3のフローチャートを参照してさらに詳しく説明する。デジタルPLL回路の動作開始とともにアンロック信号はHレベルに、カウント値はゼロに各々初期設定される。そして、比較器3での比較結果において基準クロックと出力クロックの立ち上がりの位相差が許容値 $X_1 \sim X_2$ の範囲内にあれば、アンロック信号がHレベルに、カウント値がゼロに各々設定され、上記位相差が許容値 $X_1 \sim X_2$ の範囲内にある間はこの処理が繰り返される。

【0016】一方、基準クロックと出力クロックの立ち上がりの位相差が許容値 $X_1 \sim X_2$ の範囲から外れた場合にはアンロック信号がその直前の値に設定されるとともにカウント値がインクリメントされる。次にカウント値が「2」であるか否か、すなわち2周期続けて基準クロックと出力クロックの立ち上がりの位相差が許容値 $X_1 \sim X_2$ の範囲を外れたか否かが判定され、1周期だけの場合(カウント値が「2」でない場合)にはアンロック信号及びカウント値をそのまま比較器3における位相差の判定処理に戻る。しかし、位相差が2周期続けて許容値 $X_1 \sim X_2$ の範囲から外れた場合(カウント値が「2」の場合)にはアンロック状態と判定してアンロック信号がLレベルに設定されるとともにカウント値がゼロに初期化されて比較器3における位相差の判定処理に戻る。

【0017】ところで従来のデジタルPLL回路では、基準クロックと発振器5の周波数差とから算出される期間だけ強制的にシステムの立ち上がりが特徴させられていたため、図5に示すように実際には出力クロックの位相が同期状態(ロック状態)にあるにもかかわらずシステムを立ち上げることができない場合があった。而して本実施形態によれば、出力クロックの基準クロックとの位相同期状態がアンロック信号によって後段のシステムで認識されるので、図4に示すように位相の非同期状態(アンロック状態)から同期状態(ロック状態)に変わると(アンロック信号がLレベルからHレベルに変化すると)直ちに後段のシステムを立ち上げることが可能

6

となる。また、動作途中に基準クロックが切り替わるなどしたときに、上記従来例では図6に示すように非同期状態(アンロック状態)の出力クロックがそのまま後段のシステムに出力されてしまい、誤動作を引き起こす虞があったが、本実施形態では、図2に示すようにそのような場合にアンロック信号が出力されるために後段のシステムで出力クロックがアンロック状態であることが認識でき、誤動作を防止することが可能となる。

【0018】なお、本実施形態では連続して2回(2周期)の位相補正が行われた場合にアンロック検出器4にてアンロック状態と判定してアンロック信号を出力するようにしているが、後段のシステムが許容するならば3回以上の整数回だけ連続して位相補正が行われた場合にアンロック信号を出力するようにしてもよい。

【0019】

【発明の効果】本発明は上述のように、外部から入力される基準クロックと外部へ出力する出力クロックの位相を比較する位相比較部と、基準クロックの周波数よりも高い周波数の基本クロックを位相比較部における比較結果に応じて設定される分周比で分周する可変分周部とを備え、出力クロックの位相を基準クロックの位相に略一致させるデジタルPLL回路であって、基準クロックと出力クロックの立ち上がりの位相差を検出するとともに検出した位相差が所定の許容範囲から外れた場合にアップ信号又はダウン信号を出力する比較器と、比較器からのアップ信号又はダウン信号が所定の条件で出力された場合に出力クロックの位相がアンロック状態であることを示すアンロック信号を出力するアンロック検出器とを位相比較部に具備し、可変分周部は、通常出力クロックの周波数を基準クロックの周波数に略一致させる第1の分周比に設定されるとともにアップ信号が入力されている場合には第1の分周比よりも小さい第2の分周比に設定され且つダウン信号が入力されている場合には第1の分周比よりも大きい第3の分周比に設定されて成るので、アンロック信号によって後段のシステムが出力クロックのロック・アンロック状態を的確に判断することができ、出力クロックを用いて動作する後段のシステムが確実に動作し得るデジタルPLL回路が提供可能となるという効果がある。

【図面の簡単な説明】

【図1】実施形態を示すブロック図である。

【図2】同上の動作を説明するためのタイミングチャートである。

【図3】同上の動作を説明するためのフローチャートである。

【図4】同上の動作を説明するための図である。

【図5】同上の動作を説明する図である。

【図6】同上の動作を説明するタイミングチャートである。

【図7】従来例を示すブロック図である。

50

(5)

特開平11-112336

8

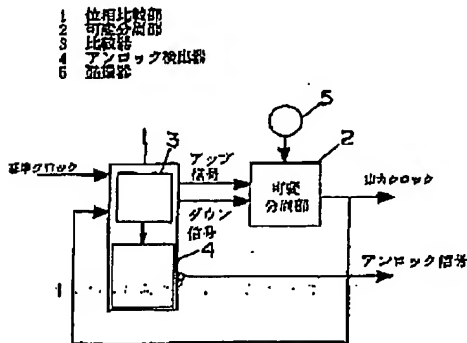
【図8】 同上の動作を説明するためのタイミングチャートである。

【図9】 同上の動作を説明するためのタイミングチャートである。

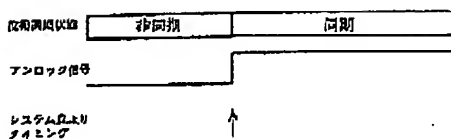
【符号の説明】

- 1 位相比較部
- 2 可変分周部
- 3 比較器
- 4 アンロック検出器
- 5 発振器

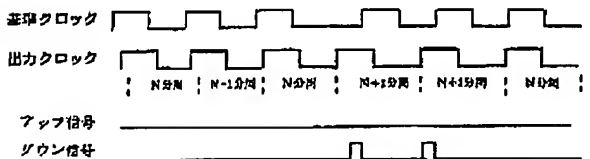
【図1】



【図4】

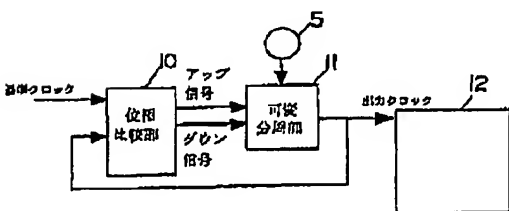


【図6】

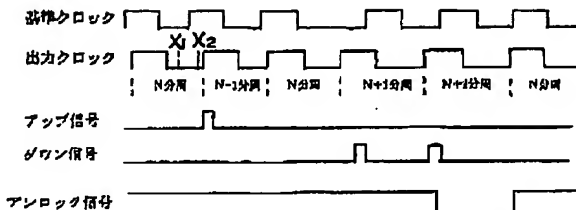


同調が破れていないクロックが排出
→誤動作等を招く恐れがある

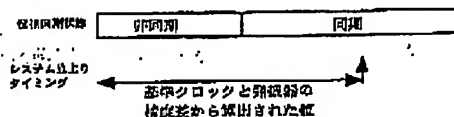
【図7】



【図2】



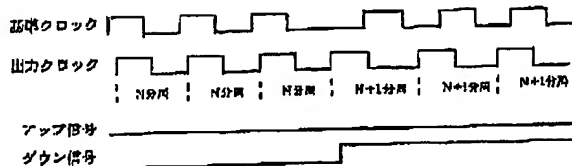
【図5】



【図9】



【図8】



(6)

特開平11-112336

【図3】

